

## DESCRIZIONE OPERATIVA

### 1.- UNITA' CENTRALE (PROCESSOR) (schema n.1)

#### 1.1 GENERATORE DEL CLOCK

Tutti i clock di sistema, ad eccezione del baud rate clock, del video dot clock e dei clock per il controllore dei dischetti, vengono generati da un oscillatore primario che opera a 20 MHz. Parte dell'invertitore U77, polarizzato nella zona lineare da una reazione di 2K Ohms, fa da elemento attivo per l'oscillatore. Un altro inverter, nello stesso integrato, bufferizza l'output per impedire una retroazione indesiderata e contribuisce a diminuire l'impedenza dell'oscillatore.

Il clock a 5 MHz per il microprocessore e' ottenuto dividendo l'oscillatore primario per 4, con il contatore binario U-96. L'output del secondo stadio e' bufferizzato dall'invertitore U-77 e dal transistor Q-2 per fornire il clock richiesto dallo Z-80 e dalle sue periferiche.

Il "column address strobe" (CAS) e l' "address multiplexer controll" (MUXC) sono derivati dal clock 20 MHz. Quando il segnale di memory request (MREQ) e' basso ed il refresh (RFSH) e' alto viene abilitata la generazione del "CAS" e del "MUXC".

Un "RFSH" basso disabilita la generazione del "CAS" e del "MUXC" tenendo resettato lo shift register U-76. Cio' per sfruttare la bassa dissipazione delle RAM dinamiche da 64 K durante il refresh.

Lo shift register U-76 genera anche il segnale di limitazione della durata del "RAS" delle memorie dinamiche al fine di garantire il necessario margine di pre-charge tra cicli di accesso e cicli di refresh.

#### 1.2 RESET

Vi sono due tipi di reset: il power-on reset, condizionato da parte dell'invertitore a trigger di Schmitt U-101, ed il pulsante di reset, anch'esso condizionato dall'U-101. Il flip flop D (U-108) sincronizza il pulsante di reset con il ciclo macchina uno (M1) del microprocessore. L'output del flip flop fa partire un monostabile da 12 microsecondi (U-106).

Il reset di power-on e il pulsante di reset sono messi in OR dall'U-81 e invertiti dall'U-103 ad uso del microprocessore.

L'impulso di reset entra in un NOR con "M1" (U-104) e genera un reset per le unita' di I/O programmabili. Un livello basso di "M1", con un "RD" (read) alto, resetta la PIO.

#### 1.3 BUFFER DEL BUS

L'U-82 bufferizza i segnali di controllo generati dal processore per essere utilizzati da tutto il sistema. I transceiver U-78 e U-79 mediano i trasferimenti dati da e verso la memoria.

Due sezioni dell' U-87 controllano la direzione dei transceivers del bus dati. Durante una lettura della memoria i transceivers permettono il passaggio dei dati dalla memoria al processore. Viceversa in tutti gli altri casi.

Il buffer U-65 bufferizza gli 8 bit più bassi del bus indirizzi. Il latch U-83 svolge una duplice funzione: oltre a bufferizzare gli 8 bit superiori del bus indirizzi, li mantiene stabili durante la parte attiva del ciclo di "MREQ". Durante la seconda parte del ciclo "MREQ" lo Z-80 permette all'address bus di variare; se non fosse mantenuto stabile, ciò potrebbe generare un falso "RAS" per le RAM dinamiche.

#### 1.4 MEMORIA A SOLA LETTURA. (ROM)

La piastra MK-84 può ospitare fino a quattro EPROM 2732A:

- U-67 risiede agli indirizzi 0000-0FFF hex
- U-68 risiede agli indirizzi 1000-1FFF hex
- U-69 risiede agli indirizzi 2000-2FFF hex
- U-70 risiede agli indirizzi 3000-3FFF hex

La descrizione della tecnica dello switch di banco verrà trattata con la teoria della memoria RAM.

#### 1.5 DECODIFICA DEGLI INDIRIZZI DELLE PORTE.

Il decodificatore ottale U-85 è usato per selezionare l'opportuna porta di I/O, a secondo del valore dei bit di indirizzamento A2, A3 e A4.

Quando A7 è basso e "MIR" è alto, la discesa di "IORQ" farà scendere il corrispondente output del decodificatore, selezionando l'unità di I/O per un'operazione di lettura o scrittura.

PORTA	0-3	=	BAUD RATE CANALE A (solo scrittura)
PORTA	4	=	SIO CANALE A DATI
PORTA	5	=	SIO CANALE B DATI
PORTA	6	=	SIO CANALE A CONTROLLO
PORTA	7	=	SIO CANALE B CONTROLLO
PORTA	8	=	PIO USO GENERALE PORTA A DATI
PORTA	9	=	PIO USO GENERALE PORTA A CONTROLLO
PORTA	A	=	PIO USO GENERALE PORTA B DATI
PORTA	B	=	PIO USO GENERALE PORTA B CONTROLLO
PORTA	C-F	=	BAUD RATE CANALE B (solo scrittura)
PORTA	10	=	1797 REGISTRO DI STATO/COMANDO
PORTA	11	=	1797 REGISTRO DI TRACCIA
PORTA	12	=	1797 REGISTRO DI SETTORE
PORTA	13	=	1797 REGISTRO DI DATI
PORTA	14-17	=	CRT REGISTRO DI SCROLL (solo scrittura)
PORTA	18	=	CTC CANALE 0
PORTA	19	=	CTC CANALE 1
PORTA	1A	=	CTC CANALE 2
PORTA	1B	=	CTC CANALE 3
PORTA	1C	=	PIO DI SISTEMA PORTA DATI
PORTA	1D	=	PIO DI SISTEMA PORTA CONTROLLO

PORTA 1E = PIO TASTIERA PORTA DATI  
PORTA 1F = PIO TASTIERA PORTA CONTROLLO

## 1.6 SINCRONIZZAZIONE DEL TRASFERIMENTO DATI DEL DISCHETTO

Per eseguire con successo trasferimenti di dati ad alta velocita tra il microprocessore e il controllore dei dischetti e stato impiegato l interrupt non mascherabile (NMI) per la sua alta priorit di risposta. Durante le letture o scritture da o verso il controllore dei dischetti, il dato presente nella locazione di memoria 66 hex viene memorizzato. Questa locazione viene quindi ricoperta da un istruzione di RETURN. Dopo di cio il processore esegue un istruzione di HALT.

Quando il processore e in HALT, un segnale di DATA REQUEST (DRQ) o di INTERRUPT REQUEST (INTRQ) dal controllore genera un interrupt non mascherabile. Il processore esegue l istruzione di RETURN all indirizzo 66 hex e ritorna a trasferire il dato da o verso il controllore. Quando il trasferimento dei bytes presenti nel settore e completato, il vecchio dato viene ripristinato nella locazione di memoria 66 hex ed il processore riprende le normali operazioni.

Questa logica hardware ovvia alla necessita di un DMA eliminando il test di stato (DRQ) per il controllore dei dischetti.

## 2.- CONTROLLORE DEL VIDEO (schema n. 2)

### 2.1 GENERAZIONE DEL CLOCK DEL VIDEO

Tre invertitori dell'integrato U-11 sono usati per generare il video dot clock. Il dot clock da 14,31818 MHz è diviso per 7 per ottenere il clock di carattere. Il contatore binario sincrono U-24 è precaricato con un 9 binario ad ogni inizio di conteggio per realizzare la divisione per 7 ( $9+7=16$ ). Il clock di carattere è diviso per 128 dal contatore binario a 8 bit U-23 per produrre il clock di scansione. Nel processo di sviluppo del clock di scansione le uscite intermedie di U-23 producono parte dell'indirizzo di carattere per la RAM video. Il decade-counter U-22 divide per 10 il clock di scansione generando contemporaneamente il clock di riga e la componente verticale dell'indirizzo della matrice del carattere. U-21 e parte di U-9 agiscono in sincronia per generare il clock di quadro e l'indirizzo di linea per la RAM video. Questi due integrati dividono per 26 il clock di linea generando il sincronismo di quadro a 60 Hz. La seconda metà di U-21 divide il sincronismo di quadro per 16 ottenendo il clock di lampeggio a 4 Hz.

### 2.2 SCROLL DEL VIDEO

Per eliminare il ritardo associato con uno scroll software, è stato impiegato un supporto hardware. La RAM del video risiede nello stesso banco di memoria delle ROM agli indirizzi da 7000 a 7FFF esadecimale. Scrivendo nel registro di scroll si aggiunge uno spostamento all'indirizzo di linea generato dal contatore di linea. Per esempio, uno spostamento di zero visualizza sull'ultima riga dello schermo (in basso) il dato contenuto nella locazione 7000 Hex (della memoria del video). Se lo spostamento è 1, lo stesso dato all'indirizzo 7000 viene visualizzato sulla linea successiva a partire dal fondo. Uno spostamento di 17 esadecimale (23 decimale) visualizzerebbe lo stesso dato sulla prima riga dello schermo.

U-35 è il registro di scroll, ed il suo contenuto è sommato, modulo 24, all'indirizzo di linea dai sommatore U-34, U-36 e parte dell'U-37.

### 2.3 INDIRIZZAMENTO DELLA RAM DEL VIDEO

I multiplexer U-47, U-48 e U-49 selezionano la provenienza degli indirizzi per la RAM del video. Se il processore sta scrivendo o leggendo la RAM del video la linea "CRTCE" va bassa. Quando "CRTCE" è basso, vengono selezionati gli indirizzi provenienti dal processore invece di quelli generati dalla catena di contatori. Ciò permette al processore l'accesso diretto alla RAM video per lettura o scrittura. L'integrato U-50 mappa nei 2K byte di RAM video, i 12 bit di indirizzo generati dalla catena dei contatori.

## 2.4 ACCESSO DELLA CPU ALLA RAM DEL VIDEO

Durante le operazioni di lettura o scrittura tra la CPU e la RAM video, "CRTCE" e' basso e il bus indirizzi del processore e' abilitato per mezzo dei multiplexer U-47 e U-49 ad accedere alla RAM del video. Un livello basso di "CRTCE" agisce anche nella logica di controllo per l'accesso al bus dati. Il decodificatore U-86 controlla la direzione e l'attivita' dei transceiver U-71 e U-72.

Durante un'operazione di lettura, il dato all'indirizzo specificato della RAM video passa sul bus dati del microprocessore. Durante una operazione di scrittura il dato del bus dati del microprocessore e' scritto nella RAM video all'indirizzo specificato.

## 2.5 GENERAZIONE DEL SINCRONISMO

Il sincronismo orizzontale e' generato decodificando il novantaseiesimo stato di conteggio del contatore di carattere U-23, che fa triggerare in monostabile U-51 il quale controlla il ritardo della partenza di riga. La durata di questo ritardo e' determinato dalla formula:  $(TW = 0.45 R_t * C_{ext})$ , dove:

$R_t$  e' in K Ohms,  $C_{ext}$  e' in pF, e  $T_w$  e' in nS.

I limiti di  $R_t$  sono:  $250 K > R_t > 5 K$

Quando il monostabile U-51 va basso triggera il monostabile U-38 che determina la durata del sincronismo orizzontale. La formula per determinare la durata dell'impulso di quest'ultimo monostabile e' simile alla precedente. Il sincronismo verticale e' generato tra gli impulsi di conteggio 24 e 26 del contatore di riga. La decodifica del conteggio 24 fa partire la seconda sezione del monostabile U-38. La durata dell'impulso di sincronismo verticale e' selezionabile attraverso un'opportuna scelta di  $R_4$  e  $C_{54}$ , attraverso la stessa formula esposta in precedenza.

## 2.6 GENERAZIONE DEL VIDEO

In modo display i dati in codifica ASCII dalla memoria RAM del video e gli indirizzi di scansione dal contatore U-22 vengono usati per selezionare l'appropriata configurazione di punti dal generatore di caratteri U-73. Tale informazione e' memorizzata dal flip flop "D" U-74 al termine del carattere precedente.

Mentre si accade al carattere successivo, la precedente configurazione di punti in uscita da U-74 e' multiplexata da U-75, che pilota il driver del video U-94.

## 2.7 INIBIZIONE DEL VIDEO

Il video e' inibito durante la ritraccia orizzontale, verticale, gli accessi della CPU e la decodifica dei conteggi 8 e 9 della scansione. L'inibizione e' realizzata disabilitando il generatore di caratteri.

## 3.- MEMORIA RAM DA 64 K E SWITCHING DI BANCO (schema n.3)

## 3.1 MULTIPLEXAGGIO DEGLI INDIRIZZI DI MEMORIA

L'indirizzamento della RAM dinamica viene eseguito in due tempi. In una prima fase i 7 bit meno significativi (A0B-A6B) e A14B attraverso i multiplexer U-58 e U-59 sono presentati alla memoria. Quando questi si sono stabilizzati vengono immessi in uno dei 4 blocchi da 64 K dalla corrispondente linea "RAS0, RAS1, RAS2 o RAS3". Queste linee (row address select) vengono ricavate dalla decodifica ottale dei due bit più significativi B1 e B2 del codice di pagina, eseguita dall'integrato U-55 e temporizzata dalla linea "MREQP". In una seconda fase corrispondente alla salita della linea "MUXC" la seconda parte dell'indirizzo (A7B-A13B), proveniente dal processore, ed il bit di selezione pagina pari/dispari vengono presentati di nuovo tramite i multiplexer U-58 e U-59, all'ingresso della memoria. Quando anche questo indirizzo si è stabilizzato, la linea "CAS" (Column address select) ne forza l'ingresso nel blocco di memoria precedentemente selezionato dal "RAS". A questo punto, se la memoria deve essere letta, ("WRB" positivo) i dati verranno trasferiti dalla stessa al bus dati tramite i transceivers U-54 e U-57; viceversa se essa deve essere scritta.

## 3.2 REFRESH

Durante il ciclo di refresh lo Z-80 mette gli indirizzi di refresh sui 7 bit meno significativi del bus indirizzi. Quando questi si sono stabilizzati il pin "RFSH" dello Z-80 scende. Il segnale di "RFSH", attivo basso, genera un "RAS" su tutte le RAM tramite i NAND U-52 e U-53. Un "RFSH" attivo disabilita sia "CAS" che "MUXC".

## 3.3 SWITCHING DI BANCO

I bit 7 e 6 della porta IC esadecimale ed il bit 5 del registro di "SCROLL" controllano lo switch dei banchi di memoria.

Il bit 15 degli indirizzi di CPU suddivide l'area di memoria in 2 blocchi distinti:

- 0000-7FFF pagine di 32 Kbyte in sovrapposizione
- 8000-FFFF pagina fissa di 32 Kbyte

Le pagine disponibili in sovrapposizione sono complessivamente 8 così suddivise:

pagina 0	componenti	U39-46
pagine 1-2	"	U24-33
" 3-4	"	U13-20
" 5-6	"	U01-08
pagina ROM	"	U67-70

La pagina ROM, come già detto, comprende anche la memoria dell'immagine alfa-numerica del video. Questa pagina non è direttamente accessibile dall'utente; la sua gestione è riservata al sistema operativo.

I componenti U39-46 forniscono anche la pagina fissa.

## 4.- CONTROLLORE DEI DISCHETTI, PIO DI SISTEMA E CTC (schema n.4)

## 4.1 CONTROLLORE DEI DISCHETTI

Il 1797 (U-102) realizza tutte le funzioni di controllo necessarie per interfacciare un drive a dischetto. Gli unici supporti richiesti dal 1797 sono un separatore esterno dei dati, un timer per il caricamento testine, transceivers non-invertenti del bus dati e buffers da e verso i drivers.

## 4.2 SEPARATORE DEI DATI

Il 9229 (U-98) e' un componente speciale che integra tutte le funzioni di supporto per il controllore dei dischetti.

Il quarzo da 16 MHz fornisce tutte le temporizzazioni interne ed il clock al 1797; il modo di operare del 9229 e' programmato esternamente tramite la porta A della PIO di sistema:

- PA5 distingue il formato 8" (PA5=0) o 5" (PA5=1)
- PA4 distingue la densita' Doppia (PA4=0) o Singola (PA4=1)

Per ogni modo programmato, il 9229 fornisce la frequenza di clock opportuna, separa i bit di dato dai bit di clock nella sequenza di bit proveniente dal disco e controlla la pre-compensazione dei bit in scrittura in funzione dei segnali EARLY e LATE del controllore 1797 utilizzando i valori impostati con i ponticelli P2-P1-P0 (JB10) secondo la seguente tabella:

P2	P1	P0	8"	Precompensazione	5"
0	0	0	0	nSec	0
0	0	1	62.5	nSec	125
0	1	0	125	nSec	250
0	1	1	187.5	nSec	375
1	0	0	250	nSec	500
1	0	1	250	nSec	500
1	1	0	312.5	nSec	625
1	1	1	312.5	nSec	625

Nella tabella 0 e' la connessione a massa, 1 la connessione al segnale di traccia superiore a 43 del 1797 poiche' la pre-compensazione si applica solo alle tracce piu' interne del disco.

Il valore tipico e' dato da P2=1, P1=0, P0=0; puo' essere modificato in accordo con le caratteristiche del particolare drive utilizzato.

## 4.3 TEMPORIZZATORE DI CARICAMENTO TESTINE

Quando il 1797 attiva l'output di caricamento testine "HLD", il 9229 inizia il conteggio di un intervallo di tempo di 40 mSec (8") o di 80 mSec (5") per assestamento testine. Il 1797 controlla la fine di questo tempo tramite la linea "HLT". A questo punto la testina e' considerata caricata.

#### 4.4 BUFFERIZZAZIONE DEL BUS DATI

I transceivers non-invertenti U-99 e U-100 separano il 1797 dal bus dati dello Z-80. Durante un'operazione di lettura del dischetto, i dati fluiscono dal 1797 al bus dati, mentre durante un'operazione di scrittura fluiscono in senso contrario.

#### 4.5 BUFFERIZZAZIONE DEL BUS DI CONTROLLO

L'integrato U-105, parte di U-82, U-97 e di U-101 bufferizzano i segnali di controllo, di stato e i dati dal 1797 al dischetto e viceversa. Oltre a fare da buffer e da isolatori, U-101 e U-82 hanno caratteristiche da trigger di Schmitt migliorando l'insensibilità ai disturbi.

Fare riferimento ai data sheet del 1797 per informazioni dettagliate sulla sua programmazione.

#### 4.6 PIO DI SISTEMA

La PIO di sistema risiede alle porte 1C, 1D, 1E, 1F esadecimale. La sezione A della PIO controlla la selezione del drive del dischetto, lo switching dei banchi di memoria, l'accensione e spegnimento dei drives ed il sensore di dato disponibile da tastiera (per applicazioni con tastiera pollata). La disposizione dei bit è la seguente:

BIT	0, 1	Numero del drive in binario
BIT	2	Controlla un rele a stato solido per la tensione ai drives
BIT	3	Dato disponibile da tastiera
BIT	4, 5	Definiscono il tipo di dischetto
BIT	6, 7	Controllano lo switching dei banchi

L'informazione per la selezione del drive dovrebbe essere presentata alla PIO di sistema nel modo seguente:

- leggere la porta 1C hex per ottenere lo stato del sistema
- azzerare i 3 bit meno significativi (AND 11111000)
- introdurre il numero di drive desiderato (OR 00000NN)
- scrivere il dato così modificato sulla porta 1C hex

La sezione B della PIO di sistema è dedicata alla tastiera. La porta della tastiera usa 8 bit ed è totalmente bufferizzata da invertitori a trigger di Schmidt.

Dopo ogni reset, la CPU esamina l'ottavo bit del connettore della tastiera (J-2 piedino 15) per vedere se una tastiera è presente. Se il bit è a massa, la tastiera sarà configurata come console. Se non vi è tastiera, la console sarà assegnata al canale B della SIO. In questo caso la pressione del tasto di Carriage Return dopo il reset selezionerà automaticamente il baud rate. La polarità dello strobe della tastiera è selezionabile dall'utente tramite l'opzione di collegamento JB-6.

Fare riferimento al capitolo 6.



#### 4.7 CTC (Counter Timer Circuit)

Il CTC risiede alle porte 18, 19, 1A, 1B esadecimale. Tutti gli input e gli output associati col CTC sono disponibili sul connettore JB-2.

Fare riferimento al capitolo 6 per l'assegnazione dei piedini e ai manuali del CTC per informazioni dettagliate sulla sua programmazione.

## 5.- PIO UTENTE E SIO (schema n. 5)

### 5.1 PIO UTENTE

La PIO utente fornisce 16 bit definibili come bit di input, di output o un mix di input e di output. La PIO utente risiede alle porte 08, 09, 0A e 0B hex, e supporta tutte le modalità di interrupt dello Z-80. Per informazioni dettagliate sulla sua programmazione fare riferimento ai manuali specifici.

Per i collegamenti vedi capitolo 6.

### 5.2 SIO

La SIO della famiglia Z-80 supporta due canali per I/O seriale con possibilità di utilizzare un completo protocollo RS-232 C su entrambi. Inoltre il canale A della SIO può fornire il clock ad un modem sincrono o ricevere il clock dal modem. Entrambi i canali della SIO possono essere configurati sia per interfacciare un modem che un terminale. Fare riferimento al capitolo 6 per dettagliate istruzioni in merito.

I piedini SYNC su entrambi i canali della SIO sono stati connessi con i pin di ricezione dati per facilitare la selezione del baud-rate. Utilizzando questa possibilità la durata del bit di start può essere misurata e la velocità di trasmissione fissata di conseguenza. Se invece intendete utilizzare questi piedini per il loro scopo originale, il collegamento può essere tagliato senza effetti negativi.

### 5.3 GENERATORE DELLA FREQUENZA DI TRASMISSIONE. (Baud Rate)

L'integrato BR-1941 fornisce all'utente due generatori programmabili di frequenza di trasmissione. La frequenza per il canale A risiede alla porta 00-03 hex ed è a sola scrittura. Quella per il canale B risiede alle porte 0C-0F hex ed è a sola scrittura. La corrispondenza dei codici da fornire con le effettive frequenze è la seguente:

00 hex	=	50 BAUD
01 hex	=	75 BAUD
02 hex	=	110 Baud
03 hex	=	134.5 Baud
04 hex	=	150 Baud
05 hex	=	300 Baud
06 hex	=	600 Baud
07 hex	=	1200 Baud
08 hex	=	1800 Baud
09 hex	=	2000 Baud
0A hex	=	2400 Baud
0B hex	=	3600 Baud
0C hex	=	4800 Baud
0D hex	=	7200 Baud
0E hex	=	9600 Baud
0F hex	=	19200 Baud

#### 5.4 STRUTTURA DEGLI INTERRUPTS

Tutti gli integrati della famiglia Z-80 forniti su questa piastra sono in grado di supportare gli interrupts in modalita' 0, 1 e 2. Nel system monitor viene utilizzata soltanto la modalita' 2. Il registro I di un sistema non modificato viene caricato con OFF hex. La catena di prioritaa di interrupts dal piu' alto al piu' basso e' organizzata nel modo seguente:

SIO	- Canale	A
SIO	- Canale	B
PIO di sistema	- Porta	A
PIO di sistema	- Porta	B
PIO utente	- Porta	A
PIO utente	- Porta	B
CTC	- Canale	0
CTC	- Canale	1
CTC	- Canale	2
CTC	- Canale	3

#### 5.5 ALIMENTAZIONE

La piastra richiede tre tensioni:

+ 5 V.	a 3.5 A.
+ 12 V.	a 0.25 A.
- 12 V.	a 0.2 A.

Si raccomanda di usare un alimentatore di qualita', e che abbia una protezione contro le sovratensioni. Il limite massimo di sovratensione dovrebbe essere fissato a 1.25 volte la tensione nominale cioe' ad esempio 6.25 V. per i 5 V. nominali.

## 6. - CONNETTORI PER COLLEGAMENTO PERIFERICHE E PERSONALIZZAZIONI

## 6.1 PIO DI USO GENERALE

PERSONALIZZAZIONE: JB3  
COLLEGAMENTI: J5

			1	2	
			o	o	porta A STROBE
			o	o	porta A READY
			o	o	porta A bit 0
			o	o	porta A bit 1
			o	o	porta A bit 2
			o	o	porta A bit 3
			o	o	porta A bit 4
			o	o	porta A bit 5
			o	o	porta A bit 6
			o	o	porta A bit 7
			o	o	porta B READY
			o	o	porta B STROBE
			o	o	porta B bit 0
			o	o	porta B bit 1
			o	o	porta B bit 2
			o	o	porta B bit 3
			o	o	porta B bit 4
			o	o	porta B bit 5
			o	o	porta B bit 6
			o	o	porta B bit 7
					0 V.
					+ 5 V.
			39	40	

Se il pin di personalizzazione della "Porta A - Polarita<sup>-</sup> STROBE" (JB-3 pin 7) non e<sup>-</sup> connesso con JB-3 pin 8, un 1 sull'input "Porta A STROBE" (J-5 pin 2) produrrà un 0 sull'input della PIO "PASTB" (U-89 pin 16). Se JB-3 pin 7 e<sup>-</sup> connesso a JB-3 PIN 8 non avverrà nessuna inversione dei segnali. JB-3 pin 4 e JB-3 pin 3 influiscono su "PBSTB" esattamente alla stessa maniera.

Se il pin di personalizzazione della "Porta A - Polarita<sup>-</sup> READY" (JB-3 pin 2) non e<sup>-</sup> connesso a JB-3 pin 1, un 0 logico sull'output "Porta A-READY" al connettore J-5 pin 4. Se JB-3 pin 1 e<sup>-</sup> JB-3 pin 5 e JB-3 pin 6 influiscono su "PBRDY" nello stesso modo.

Se il pin di personalizzazione della "Porta A superiore-direzione" (JB-3 pin 15) non e<sup>-</sup> connesso a JB-3 pin 16, allora J-5 pin 14-16-18 e 20 saranno tutti degli input. I dati di questi pin saranno applicati rispettivamente ai pin 10, 9, 8 e 7 della PIO. Se U-90, U-91, U-92, U-93 sono dei 74LS243 i dati non saranno invertiti. Se si desidera l'inversione, occorrerà usare uno o piu<sup>-</sup> 74LS242.

Se il pin di personalizzazione della "Porta A superiore-direzione" (JB-3 pin 15) e<sup>-</sup> invece connesso a JB-3 pin 16, allora i pin 14, 16, 18 e 20 di J-5 saranno degli output, a cui perverranno i dati rispettivamente dai pin 10, 9, 8 e 7 della PIO.

Tutte le altre personalizzazioni relative alla direzione funzionano allo stesso modo. Se la PIO deve operare come dispositivo di output, devono essere effettuati gli opportuni collegamenti sulle opzioni di direzione. All'accensione, e ad ogni

successivo reset, la PIO ritornerà in modalità input.

Fare riferimento ai Data Sheet per le tecniche di programmazione.

## 6.2 CTC

PERSONALIZZAZIONE: JB-2

	2	1	
SYSTEM CLOCK	o	o	CLOCK/TRIGGER 0
ZC-T00	o	o	CLOCK/TRIGGER 1
ZC-T01	o	o	CLOCK/TRIGGER 2
ZC-T02	o	o	CLOCK/TRIGGER 3
	8	7	

## 6.3 OUTPUT VIDEO

COLLEGAMENTI: J6

	-all ground -					
9	o	o	o	o	o	1
10	o	o	o	o	o	2
						video separato
						h.sync. separato
						v.sync. separato
						n. c.
						video composito

PERSONALIZZAZIONE: JB1

1	o	ground
2	o	h.sync. inversione segnale
3	o	h.sync. output
4	o	collegamento per video composito
5	o	collegamento per video composito
6	o	v.sync. output
7	o	ground
8	o	v.sync. inversione segnale
9	o	ground
10	o	video inversione segnale
11	o	ground

Senza nessun collegamento effettuato:

- video negativo
- sincronismo orizzontale negativo
- sincronismo verticale negativo

Per avere il sincronismo orizzontale positivo connettere il pin 1 con il pin 2.

Per avere il sincronismo verticale positivo connettere il pin 8 con il pin 9.

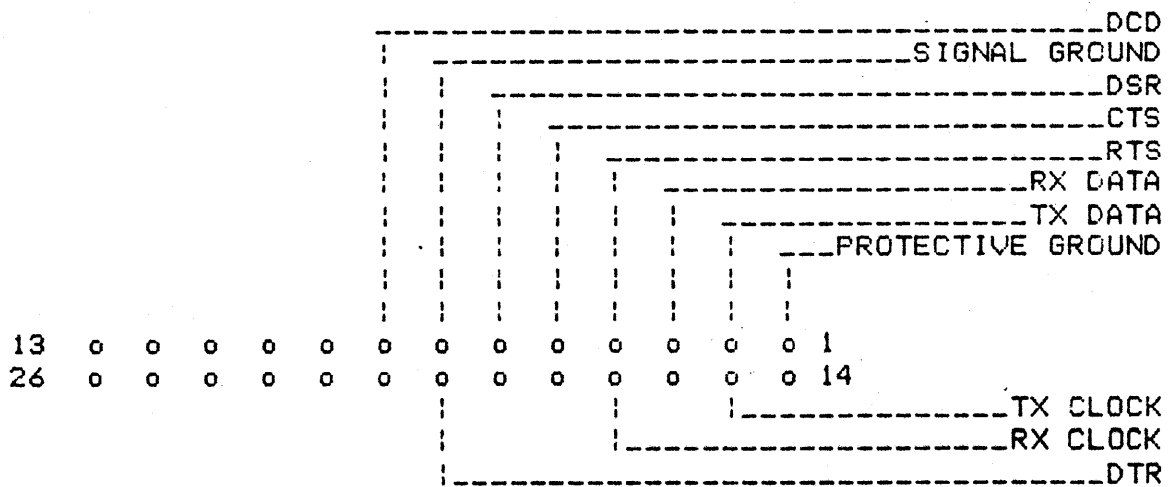
Per avere il video positivo connettere il pin 10 con il pin 11.

Per avere il video composito collegare:

- il pin 10 col pin 11
- il pin 3 col pin 4
- il pin 5 col pin 6
- installare R20, R21, R25, R26, Q1

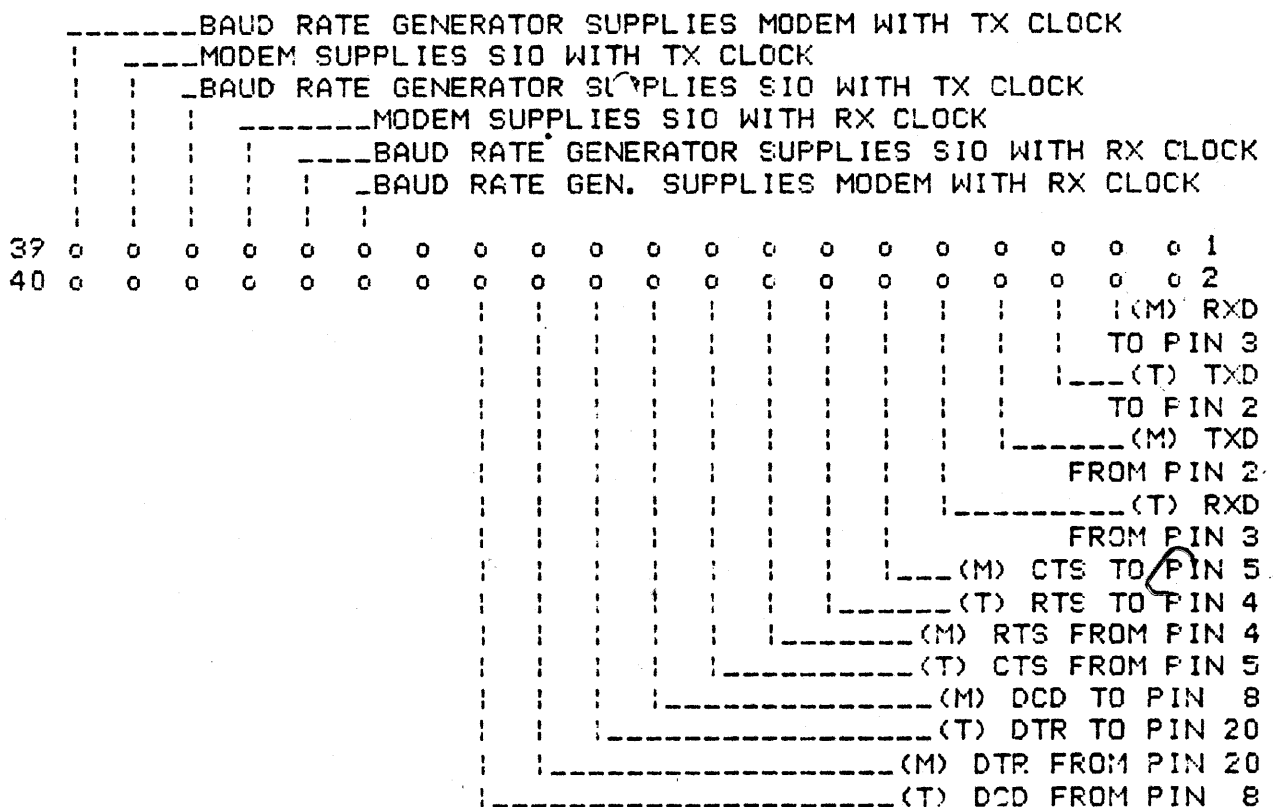
6.4 SIO

COLLEGAMENTI Canale B: J3  
 COLLEGAMENTI Canale A: J4



PERSONALIZZAZIONE Canale B: JB5  
 PERSONALIZZAZIONE Canale A: JB4

IMPORTANTE Solo il canale A e' in grado di utilizzare un clock proveniente da un dispositivo esterno e di fornire il clock ad un dispositivo esterno. In questo caso la SIO deve usare lo stesso clock.





6.7 ASSEGNAZIONE DEI PIN DEL CONNETTORE DEI DISCHETTI 5" (J7)

MOTOR ON	-----																												STEP IN			
SELECT 2	-----																												STEP			
SELECT 1	-----																												WRITE DATA			
SELECT 0	-----																												WRITE GATE			
INDEX	-----																												TRACK 0			
SELECT 3	-----																												WRITE PROTECT			
IN USE	-----																												READ DATA			
HEAD LOAD	-----																												SIDE SELECT			
	-----																												READY			
																																34
																																33

6.8 ASSEGNAZIONE DEI PIN DEL CONNETTORE DI ESPANSIONE (J8)

		1	2	
A05B	o	o	A04B	
A11B	o	o	A00B	
A10B	o	o	A01B	
A07B	o	o	A08B	
A02B	o	o	A09B	
A04B	o	o	A12B	
A03B	o	o	A13B	
A15B	o	o	A14B	
GND	o	o	IORQB	
MREQB	o	o	IEO (da CTC)	
M1R	o	o	INT	
RDB	o	o	RST	
M1B	o	o	CLOCK (5 MHz)	
WRB	o	o	GND	
+5V	o	o	+12V	
GND	o	o	GND	
D0	o	o	D1	
D2	o	o	D3	
D4	o	o	D5	
D6	o	o	D7	
		39	40	

6.9 ASSEGNAZIONE DEI PIN DEL CONNETTORE DI ALIMENTAZIONE (TB1)

		1	2	3	4	5	6	7	
-12 V.	-----								
GND	-----								DISK AC CONTROL
+ 5 V.	-----								RESET
+12 V.	-----								RESET RETURN



## 7.- MISCELLANEA

## 7.1 TASTIERA ASCII

L'ottavo bit (RB7) della tastiera deve essere a massa.

## 7.2 OPZIONE CTC

Per utilizzare la funzione di spegnimento automatico dei dischetti mettere un ponticello fra i pin 7 e 8 di JB 2.

## 7.3 OPZIONE I/O

Per connettere un terminale seriale al canale B della SIO applicare i ponticelli (M) su JB 5 come indicato al paragrafo 6.4

## 7.4 OUTPUT VIDEO

Certe marche di monitor video possono richiedere delle modifiche ai controlli dell'altezza verticale e della larghezza orizzontale per un corretto dimensionamento dell'immagine.

## 7.5 PUNTI DA NON DIMENTICARE

La piastra MK-84 cancella lo schermo e attende un RETURN prima che il Sistem Monitor si attivi.

- Non testate la memoria al di sopra di F7FF hex: cancellereste il MONITOR !
- Se il vostro sistema improvvisamente si comporta in modo strano controllate immediatamente le tensioni dell'alimentatore.
- I drivers dell'interfaccia seriale 75188 e 75189 normalmente sono caldi durante il funzionamento
- Se inserite qualche cavo al contrario, e' possibile bruciare qualche componente.

**IMPORTANTE:** L'uso della piastra MK-84 senza gli integrati PIO, SIO e CTC, richiede la presenza di tre cavallotti nei rispettivi zoccolini per completare la catena delle priorit' di interrupts.

## 7.6 COMPOSIZIONE DI UN SISTEMA

Una tipica configurazione di sistema potrebbe comprendere una scheda MK-84 con due drives floppy-disk da 8", una tastiera ASCII ed un video monitor ad alta risoluzione per l'output di console. Al posto della combinazione tastiera ASCII-video monitor puo' essere usato un terminale, da collegarsi al dispositivo di porta seriale, che diventera' automaticamente la console di sistema. Si puo' inoltre collegare una stampante ad alta velocita' ad una delle porte parallele. Cio' richiede l'uso di una routine scritta dall'utente. Inoltre si puo' collegare sulla seconda porta seriale un modem o un accoppiatore acustico per potersi collegare tramite la linea telefonica con altri computers o dispositivi remoti.

Anche il modem richiede una routine utente.